

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-124835

(43)Date of publication of application : 11.05.2001

(51)Int. Cl.

G01R 31/3183

G01R 31/28

G06F 1/04

G06F 1/10

H03K 5/135

(21)Application number : 11-308109

(71)Applicant : ADVANTEST CORP

(22)Date of filing : 29.10.1999

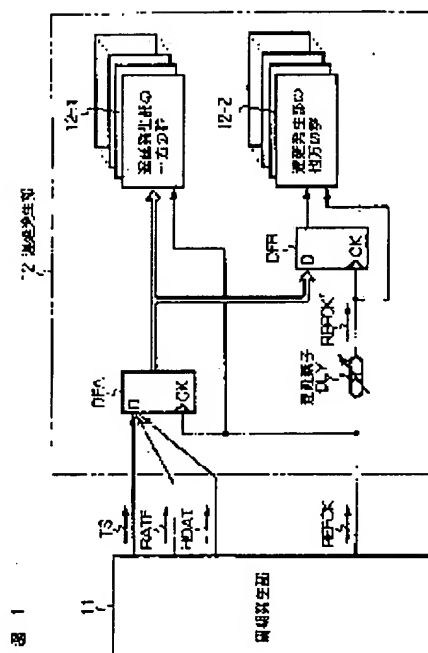
(72)Inventor : WATANABE NAOYOSHI

(54) TIMING GENERATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce a power source noise generated when a timing generator is constituted of a CMOS-structure LSI carrying electrical current only in a switch operation time.

SOLUTION: A plurality of delay generating units 12 constituted of a CMOS circuit LSI are driven by means of reference clocks REFCK with mutually different phases, and current flowing through a power source is let flow at different timing, so that a current having a large sudden peak value is prevented from flowing through a power source line.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-124835

(P2001-124835A)

(43) 公開日 平成13年5月11日 (2001.5.11)

(51) Int. Cl. ⁷	識別記号	F I	テームト* (参考)
G 01 R 31/3183		G 0 6 F 1/04	3 0 1 F 2 G 0 3 2
31/28		H 0 3 K 5/135	5 B 0 7 9
G 0 6 F 1/04	3 0 1	G 0 1 R 31/28	Q 5 J 0 0 1
1/10			M
H 0 3 K 5/135		G 0 6 F 1/04	3 3 0 A
審査請求 未請求 請求項の数 5 O L (全 12 頁)			

(21) 出願番号 特願平11-308109

(22) 出願日 平成11年10月29日 (1999. 10. 29)

(71) 出願人 390005175

株式会社アドバンテスト

東京都練馬区旭町1丁目32番1号

(72) 発明者 渡辺 直良

東京都練馬区旭町1丁目32番1号 株式会

社アドバンテスト内

(74) 代理人 100066153

弁理士 草野 卓 (外1名)

Fターム(参考) 2G032 AA01 AC03 AD05 AE00 AG01

AG07

5B079 BA20 BB04 BC02 BC03 CC02

DD05 DD06 DD20

5J001 BB00 BB05 BB08 BB22 BB23

CC00 DD01 DD04

(54) 【発明の名称】 タイミング発生器

(57) 【要約】

【課題】 スイッチ動作時にのみ電流が流れるCMOS構造のLSIでタイミング発生器を構成した場合に発生する電源ノイズを低減する。

【解決手段】 CMOS回路のLSIで構成された複数の遅延発生部12を互いに異なる位相の基準クロックREFCKで駆動し、電源に流れる電流を異なるタイミングで流れるように構成し、電源ラインに突頭値が大きい電流が流れないようにした。

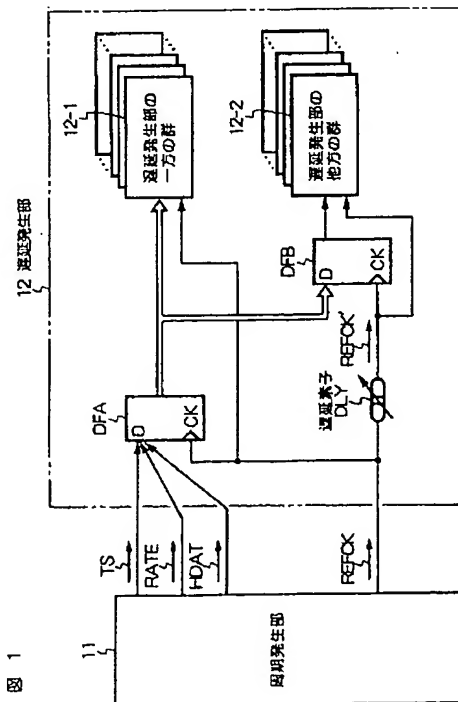


図 1

【特許請求の範囲】

【請求項1】 周期発生部と、この周期発生部から送り込まれる制御信号に従って動作し、被試験LSIに与える試験パターン信号の立上り、立下りのタイミング、論理比較のタイミング等を発生する複数の遅延発生部とを具備して構成されるタイミング発生器において、上記タイミング発生器をCMOS構造のLSIで構成する場合に、上記複数の遅延発生部を位相を異ならせた基準クロックによって駆動する構成としたことを特徴とするタイミング発生器。

【請求項2】 請求項1記載のタイミング発生器において、上記遅延発生部は2以上のN個とされ、これらN個の遅延発生部のそれぞれにN相に多相化された基準クロックを印加し、N個の遅延発生部をN相の基準クロックによって駆動する構成としたことを特徴とするタイミング発生器。

【請求項3】 請求項1又は2記載のタイミング発生器の何れかにおいて、上記遅延発生部は、上記基準クロックの周期の整数倍の遅延時間を発生する整数遅延発生部と、上記クロックの周期より短い遅延時間を発生する端数遅延発生部とによって構成され、上記多相化された基準クロック相互の位相差によって発生するタイミング出力信号の位相差を、上記端数遅延部に設定する遅延時間によって相殺し、上記各遅延発生部から出力されるタイミング出力信号の位相を合致させる遅延設定手段を設けた構成としたことを特徴とするタイミング発生器。

【請求項4】 請求項1又は2記載のタイミング発生器の何れかにおいて、上記遅延発生部は、上記基準クロックの周期の整数倍の遅延時間を発生する整数遅延発生部と、上記クロックの周期より短い遅延時間を発生する端数遅延発生部とによって構成され、上記多相化された基準クロック相互の位相差によって発生するタイミング出力信号の位相差を、上記端数遅延部に設定する遅延時間によって相殺し、上記各遅延発生部から出力されるタイミング出力信号の位相を合致させる遅延設定手段と、各遅延発生部が持つタイミング誤差を校正するタイミング校正用の遅延データを設定する遅延データ設定手段とを設けた構成としたことを特徴とするタイミング発生器。

【請求項5】 請求項2記載のタイミング発生器において、上記遅延設定手段に設定する遅延時間は、上記基準クロックの最も遅い位相の基準クロックの位相に合致させる遅延時間に選定したことを特徴とするタイミング発生器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は例えば、半導体集積回路素子（LSI）を試験するLSI試験装置に関し、特にタイミング発生器の改良に関する。

【0002】

【従来の技術】 図6にLSI試験装置の概略の構成を示

す。図中TESはLSI試験装置の全体を示す。LSI試験装置TESは主制御器111と、パターン発生器112、タイミング発生器113、波形フォーマッタ114、論理比較器115、ドライバ116、アナログ比較器117、不良解析メモリ118、論理振幅基準電圧源121、比較基準電圧源122、デバイス電源123等により構成される。

【0003】 主制御器111は一般にコンピュータシステムによって構成され、利用者が作成した試験プログラムに従ってパターン発生器112とタイミング発生器113を制御し、パターン発生器112から試験パターンデータを発生させ、この試験パターンデータを波形フォーマッタ114で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源121に設定した振幅値を持った波形に電圧増幅するドライバ116を通じて被試験LSI119に印加し、被試験LSI119がメモリの場合は、この試験パターン信号を記憶する。

【0004】 被試験LSI119から読み出した応答信号はアナログ比較器117で比較基準電圧源122から与えられる基準電圧と比較し、所定の論理レベル（H論理の電圧、L論理の電圧）を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器115でパターン発生器112から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生ごとに不良解析メモリ118に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】 ここで、タイミング発生器113はパターン発生器112から与えられるタイミング情報に従って被試験LSI119に与える試験パターン信号の波形の立ち上がりのタイミング及び立下りのタイミングを規定するタイミングと、論理比較器115で論理比較のタイミングを規定するストロブパルスのタイミング等を発生する。

【0006】 これらの各タイミングは利用者が作成した試験プログラムに記述され、利用者が意図したタイミングで被試験LSI119を動作させ、またその動作が正常か否かを試験できるように構成されている。

【0007】 図7を用いてタイミング発生器の概要を予め説明する。図7は一般的なタイミング発生器の概略の構成を示す。タイミング発生器113は大きく分けると周期発生部11と複数の遅延発生部12とによって構成される。

【0008】 周期発生部11は、遅延発生部12の動作を制御する周期制御信号RATEを発生し、各遅延発生部12に周期制御信号RATEを供給する。遅延発生部12は周期発生部11から与えられる周期制御信号RATEの発生周期に従って遅延時間の発生の繰返が制御さ

れ、被試験LSIの各端子に与える被試験パターン信号の立上りのタイミング及び立下りのタイミング或いはストロブパルスのタイミングをそれぞれ各個に決定する動作を実行する。

【0009】この発明の理解を容易にするために、予め周期発生部11と遅延発生部12の構成と動作の概要を説明する。

【0010】図8は周期発生部11の構成を示す。周期発生部11は周期設定データメモリ11Aと、加算演算部11Bと、ダウンカウンタ11Cと、ゼロ検出器11Dとによって構成される。

【0011】TSはパターン発生器112から送られて来るタイミングセット信号を示す。このタイミングセット信号TSはゼロ検出器11Dが出力する周期制御信号RATEに同期して送り込まれ、周期設定データメモリ11Aの読出アドレスとして利用される。つまり、周期設定データメモリ11Aには、例えば16種類程度のタイミングデータが記憶されており、この16種類のタイミングデータがタイミングセット信号TSに従って各テスト周期ごとに読み出される。

【0012】ここで、D型フリップフロップDFF₁₋₁～DFF₁₋₆、及びDFF₂₋₃～DFF₂₋₅、DFF₃₋₃～DFF₃₋₅、DFF₄₋₃～DFF₄₋₇、DFF₅₋₁～DFF₅₋₆はそれぞれゼロ検出器11Dが出力する周期制御信号RATEに同期してデータを順送りするための同期回路を構成している。これら各同期回路を構成するD型フリップフロップDFF₁₋₁～DFF₅₋₆のクロック入力端子CKにはそれぞれに基準クロックREFCKが入力され、更にイネーブル端子ENにはゼロ検出回路11Dから帰還回路11Eとアンドゲート11Fを通じて周期制御信号RATEが、またクリア端子にはクリア信号CLRが与えられる。従って、周期制御信号RATEがH論理の状態では基準クロックREFCKの、例えば立ち上りのタイミングに同期して各部のデータが順次、次段に送られ同期化処理が実行される。またクリア信号CLRは試験開始時に入力されて全ての状態をリセットさせる。

【0013】タイミングセット信号TSは6段のラッチ回路DFF₁₋₁～DFF₁₋₆を通過して図9に示す遅延発生部12にタイミングセット信号TSRとして配送される。図8に示す同期発生部11ではタイミングセット信号TSが6段のD型フリップフロップ回路DFF₁₋₁～DFF₁₋₆を通過する間に、周期制御信号RATEの発生処理が実行される。

【0014】つまり、タイミングセット信号TSは周期設定データメモリ11Aのアドレス入力端子ADに入力され、この周期設定データメモリ11Aから周期データを読み出す。周期設定データメモリ11Aには先にも説明したように、16種類程度の周期データが予め記憶されており、この16種類の周期データが各テスト周期ご

とに読み出され、各テスト周期ごとに制御信号RATEの周期が決定される。

【0015】周期制御信号RATEの周期の設定は、以下の如く行われる。周期設定データメモリ11Aからは周期制御信号RATEの周期を決定する周期データが読み出される。この周期データは基準クロックREFCKの整数倍の値を持つ整数データVDAT₁と、基準クロックREFCKの1周期より短い値を持つ端数データMDAT₁とから構成される。上述した周期制御信号RATEは整数データVDAT₁のみによって周期が決定され、端数データMDAT₁を含んでいない。つまり、ここで言う周期制御信号RATEは基準クロックREFCKの整数倍の周期で発生し、この周期制御信号RATEによって遅延発生部12の起動・停止を制御する。

【0016】加算演算部11Bで前のテスト同期に設定した端数値と加算し、その加算値が整数値に達すると桁上げ信号CY₁を整数データVDAT₁に加算し、同期制御信号RATEの値を1クロック分長くなる方向に修正する。

【0017】残りの端数値は端数データHDATとして図7及び図9に示した各遅延発生部12に送られる。

【0018】また、図8に示した端数データMDAT₁とはテスト周期に設定された端数値を指す。この端数データMDAT₁は桁上げた残りの端数データHDAT₁として全ての遅延発生部12に送られ、各遅延発生部12で各テスト周期毎に発生すべき遅延時間の端数値に加算され、次のテスト周期の開始タイミングが決定される。この開始タイミングを起点として次のテスト周期が設定される。

【0019】次に遅延発生部12の構成と動作の概略を図9を用いて説明する。遅延発生部12は遅延設定データメモリ12Aと、加算処理部12Bと、ダウンカウンタ12Cと、ゼロ検出器12Dと、端数遅延部12Eとによって構成される。

【0020】遅延発生部12にもD型フリップフロップDFF₁₋₁～DFF₄、及びDFF₂₋₁～DFF₂₋₇、及びDFF₃₋₁～DFF₃₋₆とから成る同期回路が設けられる。各同期回路に同期制御信号RATEと、タイミングセット信号TSRと、端数データHDAT₁が入力され、これらの信号が基準クロックREFCKに同期して順次次段に送られる。

【0021】同期制御信号RATEはこの例では4段の同期回路を通じてダウンカウンタ12Cのロード入力端子（書き込み入力端子）に送り込まれる。同期制御信号RATEがH論理に立ち上がったタイミングから基準クロックREFCKが4クロック分入力された次のクロックのタイミングでダウンカウンタ12Cのロード端子LDに同期制御信号RATEが到着し、ロード端子LDにH論理が与えられ、この状態で次の基準クロックの立ち上りのタイミングでデータ入力端子Dに入力されてい

る整数値データを読み込む。

【0022】同期制御信号RATEが遅延発生部12に入力されるタイミングでタイミングセット信号TSRも遅延発生部12に入力される。

【0023】このタイミングセット信号TSRは基準クロックREFCKの1クロック目でD型フリップフロップDF_{F₁-1}に読み込まれ、2クロック目で遅延設定メモリ12Aに入力される。遅延設定メモリ12Aはタイミングセット信号TSRの値に従って読み出しアドレスが決定され、記憶している遅延データを読み出す。読み出された遅延データには被試験LSIの各ピンに設定するタイミングの整数値と端数値を含んで記憶されている。

【0024】遅延データ設定メモリ12Aから読み出された遅延データは加算処理部12Bに送られ、この加算処理部12Bで周期発生部11から送られてくる端数データHDATAを加算する。この加算結果の中から基準クロックREFCKの1周期分に相当する整数値を取りだし、その整数値のダウカウンタ12Cに送り込む。また、残りの端数値はD型フリップフロップDF_{F₃-4}、DF_{F₃-5}、DF_{F₃-6}を通じて端数遅延部12Eに送り込まれる。

【0025】尚、周期発生部11から送り込まれた端数データHDATAにはレジスタRG1に設定されたタイミング校正用の補正データSKEW1を加算器ADD1で加算する。このタイミング校正用の補正データSKEW1は被試験LSIの各ピンに与える信号の位相を揃えるためのタイミング校正用の補正データであり、このタイミング校正用の補正データSKEW1と端数データHDATAの加算値が加算処理部12Bで加算され、その加算値が基準クロックREFCKの1周期を越えるとその1周期分の値を差し引き整数値を+1すると共に、その残差分が端数値として端数遅延部12Eに送り込まれる。

【0026】ダウカウンタ12Cはロードされた整数値と同じ数の基準クロックREFCKをダウカウントする。ダウカウンタ12Cの出力がゼロに戻ると、ゼロ検出器12Dはその状態を検出し、H論理のパルスを出力する。ゼロ検出器12Dから出力されたパルスはアンドゲートANで基準クロックREFCKで整時され、端数遅延部12に入力される。

【0027】端数遅延部12Eは図10に示すように、遅延時間が互いに異なる遅延素子DL1、DL2、DL3・・・と、マルチプレクサMU1、MU2、MU3・・・との縦続回路によって構成され、遅延素子DL1、DL2、DL3、・・・の中のどの遅延素子をマルチプレクサMU1、MU2、MU3・・・によって選択することによって端数遅延時間が決定される。つまり、マルチプレクサMU1、MU2、MU3・・・の何れを入力端子Aに切り替えるか、入力端子Bに切り替えるかによって端数遅延時間が決定される。マルチプレクサMU

1、MU2、MU3・・・の制御信号は図9に示したフリップフロップDF_{F₃-6}から供給される。

【0028】以上により周期発生部11と遅延発生部12の構成及びその動作説明を終了するが、ここでは周期発生部11と遅延発生部12の大半が基準クロックREFCKに同期して動作する回路で構成されることが理解されれば充分である。その他の詳細な動作説明は例えば「特願平11-188599号」明細書を参照された

い。

【0029】**【発明が解決しようとする課題】**ところで従来のLSI試験装置では安定に高速動作させるために、図11に示すようなECL形式の回路をLSI化して実用している。ECL形式の回路はスイッチ動作時にトランジスタTr₁とTr₂が互いに差動的に動作し、この差動動作によって信号を取り出し、次段に送り込む構造のため、図12Aに示す入力信号Vinが入力されたとき、トランジスタTr₁、Tr₂を流れる電流I_aとI_bは図12Bと図12Cに示すように差動的に変化し、全体の電源電流I_cは一定値を維持する。

【0030】従って、クロックによって一斉に動作するD型フリップフロップによる同期回路設計が基本となるLSIにおいても、電源を流れる電流が大きく変動することがなく、安定に動作させることができる。

【0031】然し乍ら、ECL形式の回路には常時一定の電流が流れるため、電力消費量が多く、また発熱も大きくなる欠点がある。

【0032】このため、LSI試験装置の分野でも徐々に消費電流が少ないCMOS構造のLSIを用いる傾向が見られ、既に多くの部分がCMOS構造のLSIに置き換えられている。

【0033】ところで、CMOS構造の回路は図13に示すように、互いに逆極性で動作するFET₁とFET₂を直列接続し、この直列接続されたFET₁とFET₂の接続点に容量負荷を接続し、入力端子INにL論理を与えたときFET₁がオンに、またFET₂がオフに制御されてコンデンサCを充電し、出力端子OUTにH論理を出力する。入力端子INにH論理を与えるとFET₁がオフ、FET₂がオンに制御され、コンデンサCの充電はFET₂を通じて放電させる動作を実行し、コンデンサCの充放電電圧によって次段に信号を送り出す構造とされる。更にFET₁とFET₂が反転する際に瞬時ではあるがFET₁とFET₂が同時にオンの状態となり、これにより貫通電流が流れ、この貫通電流による電力消費も行われる。

【0034】図14Aは入力信号Vin、図14Bは出力信号Vout、図14Cは電源から流れ込む消費電流I_mの波形を示す。図12Cに示すように、CMOS構造の回路ではFETが反転動作する都度間欠的に消費電流I_mが流れる。

【0035】従って、図8及び図9に示したように同期回路各構造の回路が多用されているタイミング発生器113をCMOS構造のLSIに置き替えた場合、基準クロックREFCKに同期して多くの数のFETが一度に反転動作するため、突頭値が大きい消費電流 I_m が流れる。特に図7に示したように、遅延発生部12は被試験LSI119の端子の数 $\times N$ 倍の数が設けられるため、その数は約100の数となり、同時に反転動作するFETの数は膨大な数になる。

【0036】また、周期発生部11を含めて複数の遅延発生部12を同一チップ内に格納した構造のLSIとした場合には、そのLSIに流れ込む電源電流の突頭値は極めて大きくなり、大きな電源ノイズが発生する。この電源ノイズが遅延発生部12の特に後段側に配置した端数遅延部12E（図10参照）に重畳することにより、出力されるタイミング出力信号 P_{OUT} の位相を狂わせてしまう不都合が生じる。

【0037】LSI試験装置のタイミング発生器では利用者が意図したタイミングを正確例えば10ps程度の分解能で発生することが要求されているため、この欠点は致命的欠陥となる。以上がタイミング発生器をCMOS構造のLSIに置き換えが難しい理由である。

【0038】この発明の目的はD型フリップフロップによる同期化回路設計が行われているタイミング発生器をCMOS構造のLSIで構成しても安定に動作させることができるタイミング発生器の構成を提案するものである。

【0039】

【課題を解決するための手段】この発明の請求項1では、周期発生部と、この周期発生部から送り込まれる制御信号に従って動作し、被試験LSIに与える試験パターン信号の立上り、立下りのタイミング、論理比較のタイミング等を発生する複数の遅延発生部とを具備して構成されるタイミング発生器において、タイミング発生器をCMOS構造のLSIで構成する場合に、複数の遅延発生部を位相を異ならせた基準クロックによって駆動するタイミング発生器を提案する。

【0040】この発明の請求項2では請求項1記載のタイミング発生器において、遅延発生部は2以上の N 個とされ、これら N 個の遅延発生部のそれぞれに N 相に多相化された基準クロックを印加し、 N 個の遅延発生部を N 相の基準クロックによって駆動するタイミング発生器を提案する。

【0041】この発明の請求項3では、請求項1又は2記載のタイミング発生器の何れかにおいて、遅延発生部は、基準クロックの周期の整数倍の遅延時間を発生する整数遅延発生部と、クロックの周期より短い遅延時間を発生する端数遅延発生部とによって構成され、多相化された基準クロック相互の位相差によって発生するタイミング出力信号の位相差を、端数遅延部に設定する遅延時

間によって相殺し、各遅延発生部から出力されるタイミング出力信号の位相を合致させる遅延設定手段を設けたタイミング発生器を提案する。

【0042】この発明の請求項5では、請求項2記載のタイミング発生器において、遅延設定手段に設定する遅延時間は、基準クロックの最も遅い位相の基準クロックの位相に合致させる遅延時間に選定したタイミング発生器を提案する。

【0043】

【作用】この発明によるタイミング発生器の構造によれば、複数の遅延発生部が互いに位相が異なるクロックによって動作するから、各遅延発生部で消費される消費電流は異なるタイミングで流れ、各消費電流の突頭値を抑制することができる。

【0044】この結果、電源ノイズの発生を抑えることができ、タイミング出力信号に与える影響を低減することができる利点が得られる。

【0045】

【発明の実施の形態】図1にこの発明によるタイミング発生器の一実施例を示す。この実施例では複数の遅延発生部12を二つの群12-1と12-2に分割し、一方の遅延発生部12の群12-1には基準クロックREFCKをそのままの位相で供給すると共に、他方の遅延発生部12の群12-2には基準クロックREFCKの周期 T の約 $1/2$ の周期分遅延させた基準クロックREFCK'を供給する。DLYはその遅延を与える遅延素子を示す。またDFAとDFBは各信号TS、RATE、HDATA等を伝送するD型フリップフロップを総称して示している。

【0046】遅延素子DLYは例えばケーブル等の伝送線のように温度に対して遅延時間が安定な遅延素子によって構成する。遅延発生部12を二つの群に分けた場合には一方の群12-1に供給する基準クロックREFCKの周期が図2Aに示す T_{ns} であるものとする、他方の遅延発生部12の群12-2に与える基準クロックREFCK'の位相は図2Aに示す位相から約 $(T/2)_{ns}$ 遅れた位相になるように遅延素子DLYの遅延時間を設定する。その一例としては基準クロックREFCKの周期が $8ns$ であった場合には、遅延素子DLYの遅延時間を $4ns$ に設定する。

【0047】ところで、他方の群12-2に与えるクロックREFCK'には $(T/2)_{ns}$ の遅延時間を与えたから、この群12-2側の同期回路は $(T/2)_{ns}$ だけ遅延して動作することになる。この結果、群12-1から出力されるタイミング出力信号の位相と、群12-2から出力されるタイミング出力信号の位相には $(T/2)_{ns}$ の位相差が生じることになる。

【0048】この位相差を解消するために、この例では基準クロックCEFCCKをそのままの位相で与えた群12-1側の各遅延発生部12に図3に示すように、タイ

ミンク校正用の補正データ SKEW1 を設定したレジスタ RG1 (図9参照) の他に、遅延設定手段 RG2 を付設し、この遅延設定手段 RG2 に $(T/2)$ ns 分の遅延データ SKEW2 を設定し、この遅延データ SKEW2 を加算器 ADD2 でタイミング校正用の遅延補正データ SKEW1 に加算し、その加算結果を加算器 ADD1 で周期発生部 11 から送られてくる端数データ HDATA に加え、更にその加算結果を加算処理部 12B で遅延データ設定メモリ 12A から読み出される端数値に加えることにより、従来から行われているタイミング誤差の校正と、この発明によって発生する基準クロック REFCK と REFCK の位相差によって発生する位相差を解消することができる。

【0049】尚、図3に示す加算処理部 12B では、遅延設定データメモリ 12A から読み出される遅延データの中に含まれる端数遅延値 (この端数遅延時間は被試験 LSI の各ピンごとに設定されるタイミングの端数値) と、周期発生部 11 から送られて来るテスト周期に設定された端数値 HDATA と、タイミング校正用の補正データ SKEW1 と位相補正用の補正值 SKEW2 とを加算し、その加算値が基準クロック REFCK の 1 周期分に達した場合は、その 1 周期分を整数値に加算してダウンカウンタ 12C にロードする。残りの端数値は D 型フリップフロップ DFF3-4 ~ DFF3-6 を通じて端数遅延部 12E に送り込む。

【0050】従って、この例では群 12-1 側の遅延発生部 12 に設けた遅延設定手段 RG2 に位相補正データ SKEW2 を設定し、この位相補正データ SKEW2 を端数値データ HDATA に加えることにより、結果的に端数遅延部 12E の遅延時間を増加方向に補正して位相差を補正した場合を示す。

【0051】図4は図3に示した実施例の変形実施例を示す。この図4に示す実施例ではタイミング校正用の遅延補正データ SKEW1 と位相補正用の遅延データ SKEW2 を加えた遅延補正データを遅延設定手段 RG2 に設定し、遅延設定手段 RG2 からこれらの遅延補正データ SKEW1 と SKEW2 を加算したデータを加算器 ADD1 に与え、この加算器 ADD1 で端数データ HDATA に加算する構成とした場合を示す。

【0052】この図4の構成によっても、図3の実施例と同様にタイミング誤差の校正と、基準クロック REFCK と RDFCK との位相差によって発生する位相のずれを補正することができる。

【0053】尚、上述では遅延発生部 12 を二つの群 12-1 と 12-2 に分けた場合をし説明したが、二つ以上の数に分離することも考えられる。図5は遅延発生部 12 を 4 つの群に分離し、この 4 つの群を 4 相の基準クロック REFCK1、REFCK2、REFCK3、REFCK4 によって駆動するようにした場合の各基準クロックの波形を示す。この場合には各群に分離した遅延

発生部 12 には最も位相の遅い基準クロック REFCK4 の位相に合致させる位相補正データを設定する。

【0054】例えば図5に示した基準クロック REFCK1 の遅延時間を 0 ns、基準クロック REFCK2 の遅延時間を 2 ns、基準クロック REFCK3 の遅延時間を 4 ns、REFCK4 の遅延時間を 6 ns に設定したとすると、これらの各基準クロック REFCK1 ~ REFCK4 が与えられる遅延発生部の群に設定する位相補正用遅延データ SKEW2-1、SKEW2-2、SKEW2-3、SKEW2-4 のそれぞれは、SKEW2-1=6 ns、SKEW2-2=4 ns、SKEW2-3=2 ns、SKEW2-4=0 ns に設定すればよい。

【0055】このように、群に分離する数を多く採ることにより更に一層電源ノイズを低減できる効果が得られる。

【0056】

【発明の効果】以上説明したように、この発明によれば同期化構造の回路が多用されたタイミング発生器 113 を CMOS 構造の LSI によって構成しても、同期化構造の回路部分つまり、遅延発生部 12 を複数の群に分離し、この分離した各群の遅延発生部 12 を位相が異なる基準クロック REFCK によって駆動することにより、電源ラインに流れる電流の突頭値を抑えることができ、この結果として電源ノイズのレベルを低減することができるから、タイミング発生器 113 から出力される各タイミング出力信号 Pout に電源ノイズが重畳して位相がずれてしまうような不都合が発生することを阻止することができる。

【0057】従って、CMOS 化によって消費電力が少なく、然も正確に動作する LSI 試験装置を提供することができる利点が得られ、その効果は実用に供して頗る大である。

【図面の簡単な説明】

【図1】この発明による、タイミング発生器の要部の実施例を説明するためのブロック図。

【図2】図1に示した実施例の動作を説明するための波形図。

【図3】図1に示した実施例において、位相誤差の発生を補正する手段を説明するためのブロック図。

【図4】図3に示した実施例の変形実施例を説明するためのブロック図。

【図5】この発明の変形実施例を説明するための波形図。

【図6】LSI 試験装置の概要を説明するためのブロック図。

【図7】図6に示した LSI 試験装置に用いられているタイミング発生器の概要を説明するためのブロック図。

【図8】図7に示したタイミング発生器を構成する周期発生部の内部構造を説明するためのブロック図。

【図9】図7に示したタイミング発生器を構成する遅延発生部の内部構造を説明するためのブロック図。

【図10】図9に示した遅延発生部に用いられている端数遅延部の構成を説明するためのブロック図。

【図11】従来よりLSI試験装置の用いられているECL回路の構造を説明するための接続図。

【図12】図11に示したECL回路の動作を説明するための波形図。

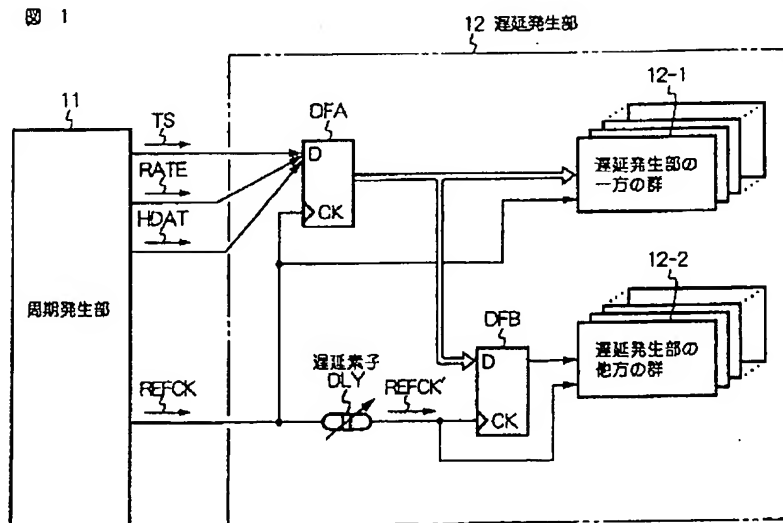
【図13】CMOS回路の構造を説明するための接続図。

【図14】図14に示したCMOS回路の動作を説明する他の波形図。

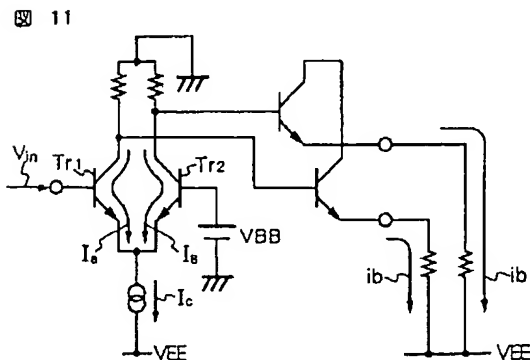
【符号の説明】

111	主制御器	116	ドライバ
112	パターン発生器	117	アナログ比較器
113	タイミング発生器	118	不良解析メモリ
114	波形フォーマッタ	119	被試験LSI
115	論理比較器	121	論理振幅基準電圧源
		122	比較基準電圧源
		123	デバイス電源
		11	周期発生部
		12	遅延発生部
		12-1	遅延発生部の一方の群
		12-2	遅延発生部の他方の群
		DLY	遅延素子
		RG1	タイミング校正用レジスタ
		RG2	遅延設定部
		ADD1、ADD2	加算器
		RATE	周期制御信号
		REFCK	基準クロック

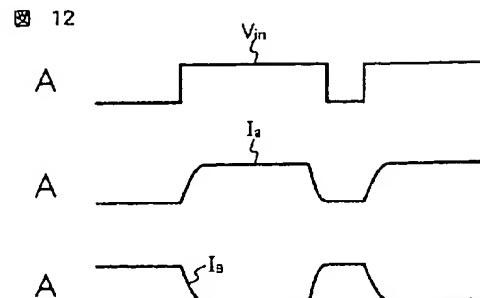
【図1】



【図11】



【図12】



【図2】

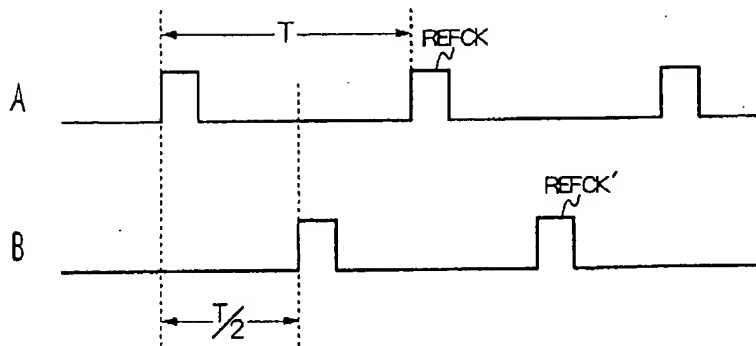
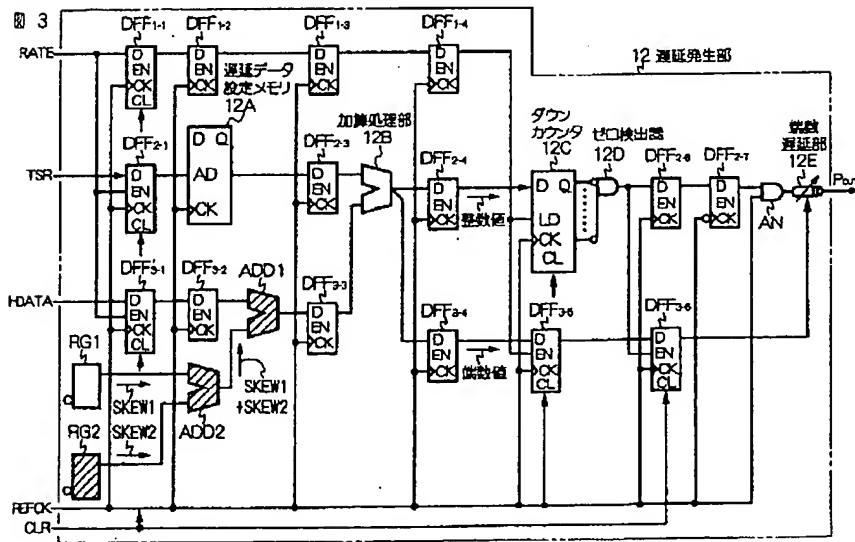


図 2

【図3】



【図13】

【図14】

図 13

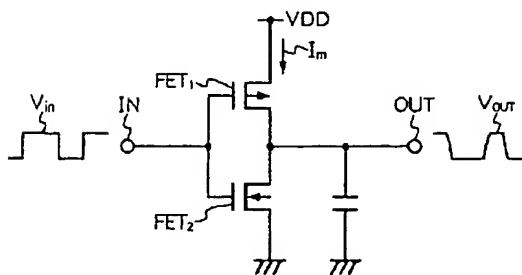
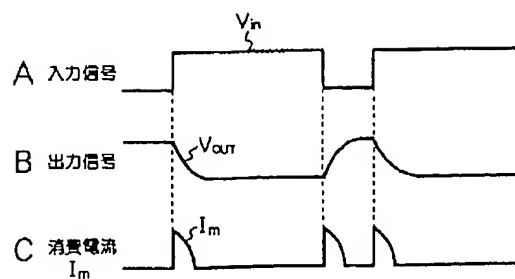
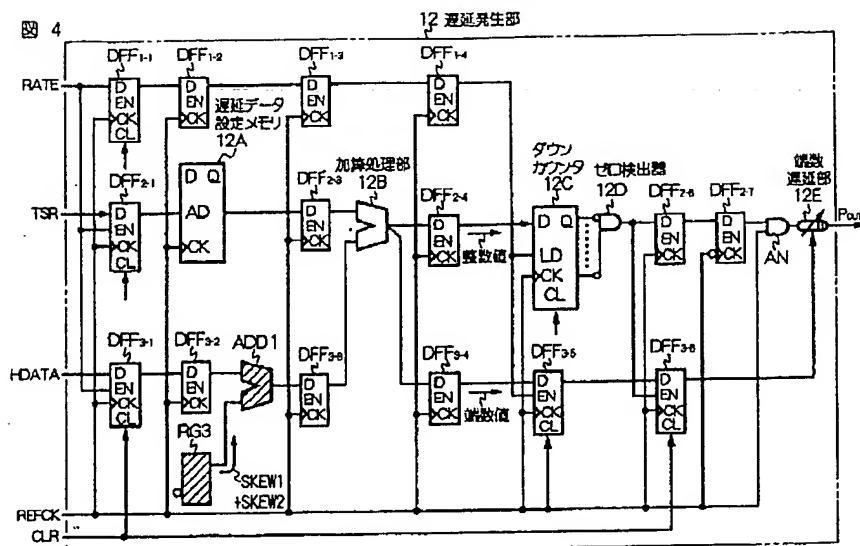


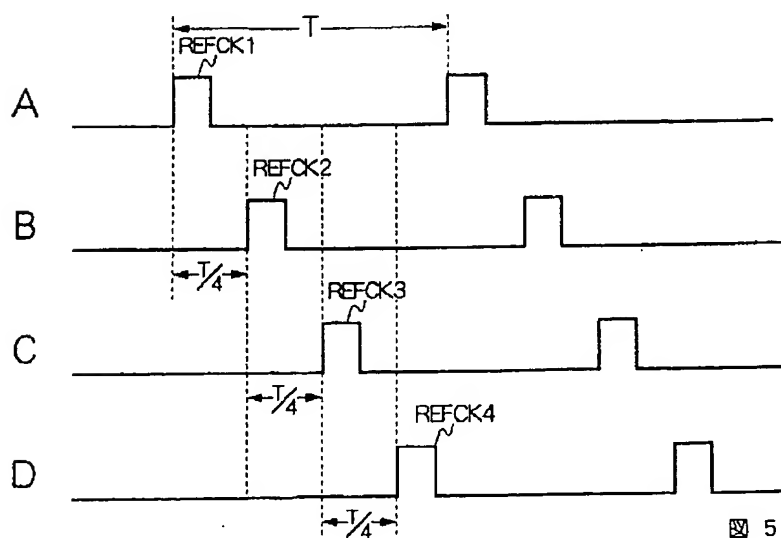
図 14



12 遲延兇生部



【図5】



5

【図6】

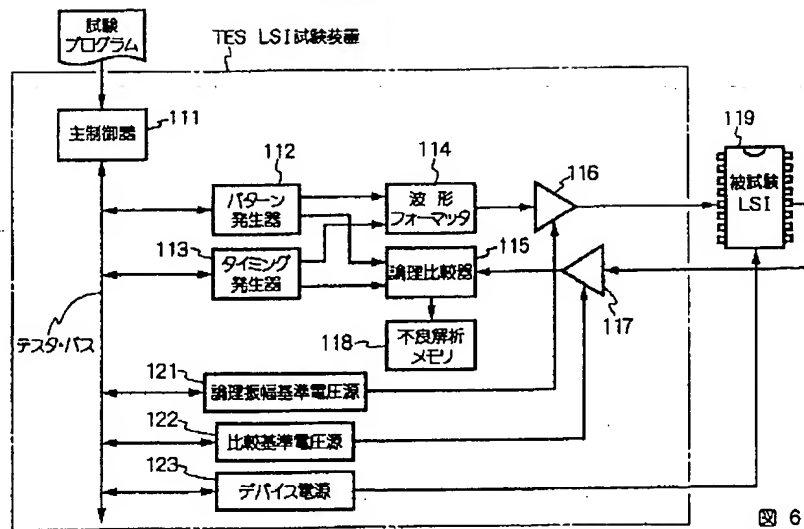


図 6

【図7】

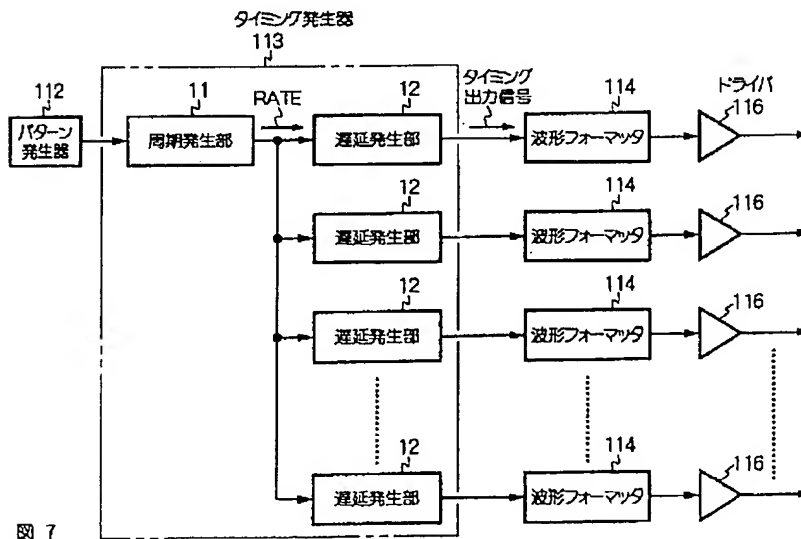


図 7

【図10】

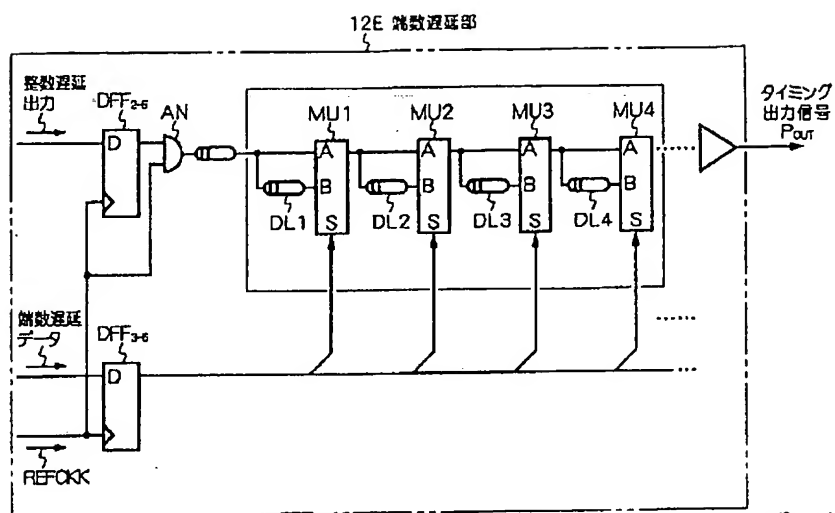


図 10

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.